

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-212138

(43)Date of publication of application : 15.08.1997

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number : 08-020215

(71)Applicant : SHARP CORP

(22)Date of filing : 06.02.1996

(72)Inventor : ETO SUNAO  
HASHIMOTO MIKIO  
OKADA HISAO

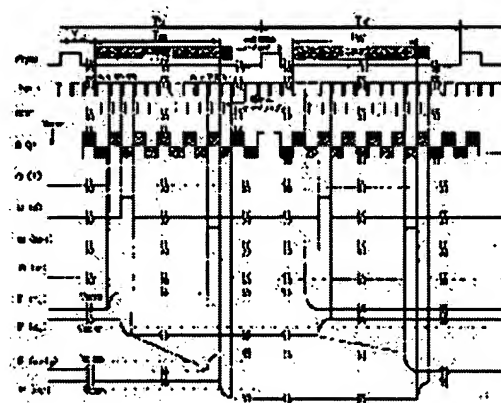
## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make a defective pixel inconspicuous by performing the sampling operation of specific data while applying the specific data to a data driving unit in the period other than the picture display period in a vertical period and stopping the sampling operation in the period other than the picture display period.

**SOLUTION:** After a horizontal period when the picture data of the last row of a picture display period  $T_w$  are transmitted to a data driving unit is completed, data for defect correction are sampled over one horizontal period by inputting a data start pulse by one time.

Thereafter, the data start pulse is not inputted to a shift register until it becomes a horizontal period when the picture data of the 1st row of a next picture display period are transmitted and the pulse is inputted to the register for the first time when it becomes a first horizontal period. Then, the sampling operation of the data driving unit is stopped in the most portion of the other period other than the picture display period  $T_w$ .



## LEGAL STATUS

[Date of request for examination] 23.07.1999  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3318667  
[Date of registration] 21.06.2002  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-212138

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0

審査請求 未請求 請求項の数5 O L (全 22 頁)

(21)出願番号 特願平8-20215

(22)出願日 平成8年(1996)2月6日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 江藤 直

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 橋本 幹雄

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 岡田 久夫

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

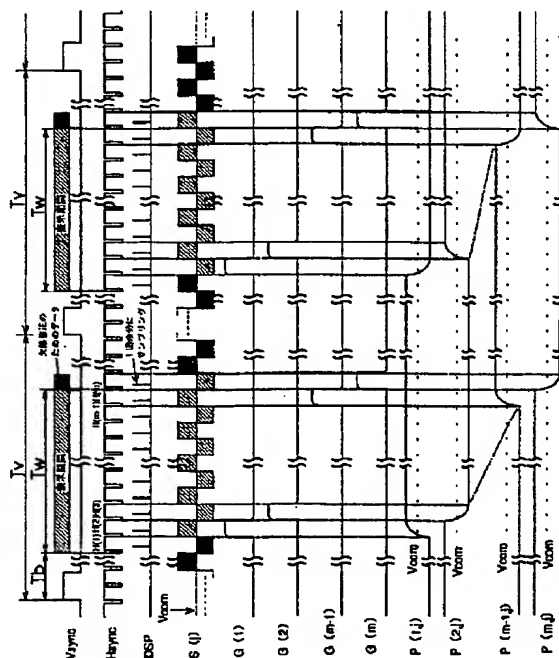
(74)代理人 弁理士 岡田 和秀

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 液晶表示パネルを駆動するゲート駆動器とデータ駆動器とを備えた液晶表示装置において、電力消費の無駄を無くするとともに、欠陥画素が目立たないようにする。

【解決手段】 垂直期間  $T_v$  中の画像表示期間  $T_w$  以外の一部の期間には、欠陥修正用の特定のデータをデータ駆動器 102 に与えると同時に、データ駆動器 102 によってこの特定のデータのサンプリング動作を行い、画像表示期間  $T_w$  以外の他の期間の大部分は、データ駆動器 102 のサンプリング動作を停止するようにしている。



## 【特許請求の範囲】

【請求項1】 液晶表示パネルを駆動するゲート駆動器とデータ駆動器とを備えた液晶表示装置において、垂直期間中の画像表示期間以外の一部の期間には、特定のデータを前記データ駆動器に与えるとともに、データ駆動器によってこの特定のデータのサンプリング動作を行い、画像表示期間以外の他の期間の大部分は、データ駆動器のサンプリング動作を停止することを特徴とする液晶表示装置。

【請求項2】 請求項1記載の液晶表示装置において、垂直期間中の画像表示期間以外の一部の期間は、画像表示期間外の最初の水平期間であることを特徴とする液晶表示装置。

【請求項3】 請求項1または2記載の液晶表示装置において、垂直期間中の画像表示期間以外の一部の期間には、前記データ駆動器の画像データのサンプリング開始用のデータスタートパルスが、このデータ駆動器に入力されるのを許容する第1許容手段を設けたことを特徴とする液晶表示装置。

【請求項4】 請求項1または2記載の液晶表示装置において、垂直期間中の画像表示期間以外の一部の期間には、前記データ駆動器の画像データのサンプリング用のデータクロックが、このデータ駆動器に入力されるのを許容する第2許容手段を設けたことを特徴とする液晶表示装置。

【請求項5】 請求項3記載の第1許容手段と、請求項4記載の第2許容手段とを共に備えたことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特に、液晶表示装置に備えられた駆動回路部分の改良に関する。

## 【0002】

【従来の技術】従来の液晶表示装置には、例えばTFT（薄膜トランジスタ：Thin Film Transistor）型アクティブマトリクス方式のものが知られている。

【0003】図17は、この種の3ビットの画像データを処理する場合の液晶表示装置の全体構成を示すブロック図である。

【0004】同図において、100はTFT型の液晶表示パネル、101、102は液晶表示パネル100を駆動するためのゲート駆動器とデータ駆動器、103は両駆動器101、102を制御する表示制御回路、104はデータ駆動器102に所定の階調用電圧を印加するための階調用電圧源、105はマイクロコンピュータ本体などで構成される主機である。

【0005】そして、主機105からは、表示制御回路103に対して、R、G、Bごとの3ビットの各画像デ

ータ、水平同期信号Hsync、垂直同期信号Vsync、および同期クロックClockがそれぞれ与えられるようになっている。

【0006】表示制御回路103からは、これらの信号に応答して、ゲート駆動器101に対してゲートスタートパルスGSPおよびゲートクロックGCKが、また、データ駆動器102に対してカラー表示用の画像データとともに、データスタートパルスDSP、データクロックDCK、および出力パルスLPが、階調用電圧源104に対して極性切り換え用の極性信号POLが、それぞれ与えられるようになっている。

【0007】階調用電圧源104は、基本的には矩形波発生回路であり、 $V_0 \sim V_7$ の8種類の階調電圧を発生するもので、液晶表示パネル100を交流駆動するために、表示制御回路103からの極性信号POLに応じて各階調電圧 $V_0 \sim V_7$ の極性が反転するようになっている。

【0008】ここで、上記のTFT型の液晶表示パネル100は、本例では、図18に示すように、 $m$ 行( $3 \times n$ )列のストライプ配列のマトリクス構成、したがって $m \times (3 \times n)$ 個の画素からなるものとする。（つまり、R、G、Bが各 $n$ 列ずつあり、それが一列毎にR、G、Bの順序で周期的に配置されている。）各画素は、単純化した等価回路に置き換えると、図19に示すように、スイッチ素子であるTFT110とコンデンサ112とで構成されている。そして、コンデンサ112の一方の電極は画素電極112aとされ、他方の電極は硝子面に構成された対向電極（共通電極）112bとなっている。

【0009】そして、各画素にデータを書き込むには、TFT110をオンにした後、データ線を介してコンデンサ112に所要の電圧を印加する。

【0010】コンデンサ112の両電極112a、112bの間には誘電体である液晶層（図示せず）が存在しており、両電極112a、112b間の電位差でその透過率が定まる。

【0011】また、液晶には直流電圧が長時間にわたって掛かり続けると特性が劣化するため、階調用電圧源104から発生される階調電圧 $V_0 \sim V_7$ の極性を極性信号POLによって切り換えることで、画素電極112aには、正と負の電圧が交互に加わるように、いわゆる交流駆動が行われるようになっている。

【0012】なお、画素電極112aを充電した後にTFT110をオフにしても、画素電極112aには充電された電荷が保存されており、両電極112a、112b間の液晶層には所定の電圧が掛かり続ける。

【0013】ゲート駆動器101は、液晶表示パネル100を各行単位で順次オン／オフ制御するものであり、図18に示す例では、コストダウンと設計の自由度等を高める目的で、2個のチップ101<sub>1</sub>、101<sub>2</sub>を組み合わせ、 $m$ 行分が駆動できるようになっている。

【0014】図20に、ゲート駆動器101の全体構成を示す。

【0015】このゲート駆動器101は、シフトレジスタ114と、このシフトレジスタ114のm個の各出力をTFT110のオン・オフの制御に必要な電圧レベルまでそれぞれ変換するm個のレベル変換回路116<sub>1</sub>～116<sub>m</sub>とからなる。

【0016】ゲート駆動器101の出力を開始させるためのゲートスタートパルスGSPがシフトレジスタ114に入力された後、シフトレジスタ114の内部ではゲートクロックGCKが立ち上がりとなるたびにハイレベルの出力が順次シフトしていく。

【0017】上記のゲート駆動器101を構成する各レベル変換回路116<sub>i</sub>～116<sub>m</sub>は、いずれも同一の構成を有しているので、図21には、上からi番目にある一つのレベル変換回路116<sub>i</sub>の詳細なブロック図を示す。

【0018】このレベル変換回路116<sub>i</sub>は、シフトレジスタ114の出力がそれぞれハイレベルのときにオンするアナログスイッチASWH、ASWLを備えており、各アナログスイッチASWH、ASWLには、それぞれハイレベルの電圧VGHと、ローレベルの電圧VGLとが入力されている。

【0019】ここで、シフトレジスタ114の一方の出力がハイレベルであれば、一方のスイッチASWHがオンとなり、ハイレベルの電圧VGHが出力される。逆に、シフトレジスタ114の他方の出力がハイレベルであれば、他方のスイッチASWLがオンとなり、ローレベルの電圧VGLが出力される。

【0020】一方、データ駆動器102は、データ線を介して画素電極112aに所要の電圧を印加するものであって、図18に示す例では、コストダウンと設計の自由度等を高める目的で、8個のチップ102<sub>1</sub>～102<sub>8</sub>を組み合わせ(3×n)列分を駆動するように構成されている。

【0021】図22に、データ駆動器102の全体構成を示す。

【0022】このデータ駆動器102は、前述のデータスタートパルスDSPとデータクロックDCKとに基づいて標準化パルスT<sub>smp</sub>を作成するシフトレジスタ120と、画像データを記憶・保持するサンプリングホールド回路122<sub>11</sub>、122<sub>12</sub>、122<sub>13</sub>、122<sub>14</sub>、…、122<sub>n1</sub>、122<sub>n2</sub>、122<sub>n3</sub>とからなる。なお、シフトレジスタ120は簡略化して示しているが、ゲート駆動器101のシフトレジスタ114と同じような構成のもので実現できる。

【0023】また、本例のデータ駆動器102は、1つの標準化パルスT<sub>smp</sub>でR、G、Bの各画像データを同時にサンプリングする構造となっており、したがって、サンプリングホールド回路122<sub>11</sub>、122<sub>12</sub>、122

13、122<sub>14</sub>、…、122<sub>n1</sub>、122<sub>n2</sub>、122<sub>n3</sub>の総数としては、(3×n)個分設けられている。

【0024】上記のデータ駆動器102を構成する各サンプリングホールド回路122<sub>11</sub>、122<sub>12</sub>、122<sub>13</sub>、122<sub>14</sub>、…、122<sub>n1</sub>、122<sub>n2</sub>、122<sub>n3</sub>は、3ビット入力1ビット出力対応のものであって、いずれも同一の構成を有しているため、ここでは、上から一番目の一つのサンプリングホールド回路122<sub>11</sub>について、図23のブロック図を参照して説明すると、3ビットの画像データは、標準化パルスT<sub>smp</sub>の立ち上がりで標準化記憶手段M<sub>smp</sub>に記憶され、出力パルスLPの立ち上がりで保持記憶手段MHに移される。保持記憶手段MHに移されたデータは、次の出力パルスLPが立ち上がるまで保持され、その間に次のデータが標準化記憶手段M<sub>smp</sub>に記憶される。保持記憶手段MHに保持されたデータは、出力回路部OCPによって階調電圧V<sub>1</sub>～V<sub>3</sub>に変換されて出力される。

【0025】図24に出力回路部OCPのより詳しい構成を示す。

【0026】出力回路部OCPは、論理回路である復号器DECと、8つのアナログスイッチASW<sub>0</sub>～ASW<sub>7</sub>とからなり、各アナログスイッチASW<sub>0</sub>～ASW<sub>7</sub>にはそれぞれ階調電圧源104から与えられる階調電圧V<sub>0</sub>～V<sub>7</sub>が入力されている。

【0027】復号器DECの各出力S<sub>0</sub>～S<sub>7</sub>は、それぞれ対応するアナログスイッチASW<sub>0</sub>～ASW<sub>7</sub>の制御端子に入力されており、各アナログスイッチASW<sub>0</sub>～ASW<sub>7</sub>は、その制御信号がハイレベルのときオンとなる。たとえば、データの値が“4”の場合には、S<sub>4</sub>がハイレベルとなるので、そのアナログスイッチASW<sub>4</sub>がオンとなり、階調電圧V<sub>4</sub>が同回路OCPの出力となる。そして、TFT110がオンのときには、この階調電圧V<sub>4</sub>がコンデンサ112に印加される。

【0028】次に、上記構成の液晶表示装置の基本的な動作について、図25ないし図27を参照して説明する。

【0029】図25は垂直同期信号V<sub>sync</sub>を基準としたタイミングチャートであり、図26および図27は水平同期信号H<sub>sync</sub>を基準としたタイミングチャートである。

【0030】ゲート駆動器101については、第2の水平期間Th=H(2)に第1行の出力G(1)がハイになるようにゲートスタートパルスGSPが入力される。以下、水平期間毎にゲートクロックGCKが立ち上がりとなるたびに、ハイレベルの出力が順次シフトしていき、各行を順次走査してTFT110をオンしていく。

【0031】一方、データ駆動器102については、シフトレジスタ120にデータスタートパルスDSPが入力されると、これに応じてシフトレジスタ120は、データクロックDCKの立ち上がりとなるたびに標準化パ

ルス $T_{smp}$ を順次シフトしていく。

【0032】そして、あるチップについて最後に発生される標準化パルス $T_{smp}$ を次のチップに対するデータスタートパルス $DSP$ として入力するようにしており、この結果、データ駆動器102を構成する各チップ102<sub>1</sub>～102<sub>n</sub>の 하나가 サンプリング動作しているときには、残りのチップはサンプリング動作するのを停止している。

【0033】ここで、データ駆動器102において、第1行目の画像データが送信される水平期間 $T_h = H(1)$ にサンプリングされて記憶、保持されていたデータは、次の水平期間 $T_h = H(2)$ の出力パルス $L_P$ の立ち上がりによって一斉に出力される。その間、データ駆動器102は、2行目のデータをサンプリングしており、以下、順次、サンプリングと出力を繰り返す。

【0034】ゆえに、データ駆動器102において、ある $i$ 番目の水平期間 $T_h = H(i)$ に $i$ 行目の画像データが送信されて各標準化パルス $T_{smp}$ によってサンプリングされた画像データは、出力パルス $L_P$ によって、次の水平期間 $T_h = H(i+1)$ に一斉に出力される。この水平期間 $H(i+1)$ には、ゲート駆動器101が $i$ 行目の出力 $G(i)$ をハイレベルにしているので、このときのデータ駆動器102の出力が $i$ 行目の各画素に書き込まれることになる。

【0035】上記の説明から分かるように、出力パルス $L_P$ がハイとなってから次にハイとなるまでの期間が、データ駆動器102が1つのデータに対する電圧を出力する1出力期間に相当するが、この1出力期間は、通常、1水平期間 $T_h$ と等しい。そして、階調電圧 $V_{-} \sim V_{+}$ は、1水平期間 $T_h$ 毎に共通電極電圧 $V_{com}$ から見た電位の極性が反転している。たとえば、図25の場合、データ駆動器102の $j$ 列目の出力 $S(j)$ に着目したときには、各行ごとに電位の極性が反転しており、 $(i-1)$ 行目の画素が正に充電されるときには、次の $i$ 行目の画素が負に充電される。

【0036】このように、本例では、水平期間(出力期間) $T_h$ 毎に階調電圧の正負の極性が反転する、いわゆる行反転駆動が行われるとともに、1垂直期間 $T_v$ 毎にも極性が反転するようにして、各画素を交流駆動している。

【0037】たとえば、図25の場合、同じ $j$ 列目の各画素 $P(1, j)$ 、 $P(2, j)$ 、…に着目したとき、水平期間 $T_h$ 毎に各画素 $P(1, j)$ 、 $P(2, j)$ 、…の極性が反転して充電された電荷が保存され続け、次の垂直期間 $T_v$ になって始めて各画素 $P(1, j)$ 、 $P(2, j)$ 、…の極性が反転する。これにより、隣接行間で平均化されたちらつきのない画像が得られるようにしている。

【0038】なお、画素電極の電位を共通電極に対して正に充電する時限を正の駆動時限、負に充電する時限を負の駆動時限としたとき、極性信号 $POL$ がハイレベル

のときに正の駆動時限、ローレベルのときに負の駆動時限に対応している。

【0039】また、図25ないし図27において、画像データやデータ駆動器の出力 $S(j)$ での斜線の部分は、表示すべき画像、または出力端子によって値が異なることを意味している。

【0040】液晶表示装置の基本的な動作は、以上の説明の通りであるが、従来の装置においては、データ駆動器102に対して、画像データを表示する画像表示期間 $T_w$ の内外に係わらず、常時、データスタートパルス $DSP$ とデータクロック $DCK$ とが共に入力されてサンプリング動作が継続されるように構成されていた。

【0041】すなわち、従来のものでは、データ駆動器102を構成する各チップ102<sub>1</sub>～102<sub>n</sub>は、垂直期間 $T_v$ の内、画像データが入力される画像表示期間 $T_w$ 以外の期間( $= T_v - T_w$ )においても、不要な画像データのサンプリング動作を継続していたために、電力を無駄に消費していた。

【0042】そこで、本発明者らは、このような無駄な電力の消費を極力低減するために、次の2つの装置を提供した(特願平7-327039号参照)。

【0043】(1) 第1の装置では、前記の図25ないし図27に示すように、垂直期間 $T_v$ 中の画像表示期間 $T_w$ 以外の期間( $= T_v - T_w$ )は、データ駆動器102を構成するシフトレジスタ120にデータスタートパルス $DSP$ が入力されないようにして標準化パルス $T_{smp}$ の発生を無くし、全てのサンプリングホールド回路122<sub>11</sub>、122<sub>12</sub>、122<sub>13</sub>、122<sub>21</sub>、…、122<sub>n1</sub>、122<sub>n2</sub>、122<sub>n3</sub>におけるサンプリング動作を停止させるようにしている。

【0044】すなわち、画像表示期間 $T_w$ の $m$ 行目の画像データがデータ駆動器102に送信される水平期間 $T_h = H(m)$ が終わってから、次の画像表示期間 $T_w$ の1行目の画像データが送信される水平期間 $T_h = H(1)$ になるまでは、シフトレジスタ120にデータスタートパルス $DSP$ を入力せず、1行目の画像データがデータ駆動器102に送信される水平期間 $T_h = H(1)$ になって始めて、シフトレジスタ120にデータスタートパルス $DSP$ を入力している。

【0045】このようにすれば、データ駆動器102の各チップ102<sub>1</sub>～102<sub>n</sub>は、垂直期間 $T_v$ 中の画像表示期間 $T_w$ 以外の表示に直接寄与しない期間では、不要な画像データをサンプリングすることがなくなって、全て待機状態となるから、無駄な消費電力の浪費を抑えることができる。

【0046】(2) 第2の装置では、図28および図29に示すように、垂直期間 $T_v$ 中の画像表示期間 $T_w$ 以外の期間( $= T_v - T_w$ )は、データ駆動器102を構成するシフトレジスタ120に、データクロック $DCK$ が入力されないようにして標準化パルス $T_{smp}$ の発生を無く

し、全てのサンプリングホールド回路 $122_{11}, 122_{12}, 122_{13}, 122_{14}, \dots, 122_{n1}, 122_{n2}, 122_{n3}$ におけるサンプリング動作を停止させるようにしている。

【0047】すなわち、画像表示期間 $T_w$ の $m$ 行目の画像データがデータ駆動器102に送信される水平期間 $T_h = H(m)$ が終わってから、次の画像表示期間 $T_w$ の1行目の画像データが送信される水平期間 $T_h = H(1)$ になるまでは、シフトレジスタ120にデータクロック $DCCK$ を入力せず、1行目の画像データがデータ駆動器102に送信される水平期間 $T_h = H(1)$ になって始めて、シフトレジスタ120にデータクロック $DCCK$ を入力している。

【0048】この装置においても、垂直期間 $T_v$ 中の画像表示期間 $T_w$ 以外の表示に直接寄与しない期間では、データ駆動器102の各チップ $102_1 \sim 102_n$ は不必要な画像データをサンプリングすることがなくなって、全て待機状態となるから、無駄な消費電力の浪費を抑えることができる。

【0049】ところで、液晶表示装置の大型化、高精細化が進み、液晶表示パネル100の画素数が増えるに伴って、これを製造する際には、各画素欠陥が発生する確率も増加する。例えば $TFT110$ に欠陥が生じて、ゲート $G$ にオン電圧が印加されても $TFT$ がオンされなければ、画素電極にはソース $S$ の電圧が常に印加されないことになる。また $TFT110$ のゲート $G$ とドレイン $D$ 間にリークが生じると、画素電極にゲート $G$ の高いオン電圧が印加されることになる。

【0050】ここで液晶表示パネル100は、図30に示すように、ノーマリーホワイトモードのものでは、液晶に印加される電圧が高いほど光の透過率が低くなり、電圧が低いほど光の透過率が高くなる。そのため、欠陥画素の電極に高い電圧が印加されるときには黒点となり、逆に低い電圧が印加されるときには輝点となる。また、ノーマリーブラックモードのものでは、液晶に印加される電圧が高いほど光の透過率が高くなり、電圧が低いほど光の透過率が低くなる。そのため、欠陥画素の電極に高い電圧が印加されるときには輝点となり、逆に低い電圧が印加されるときには黒点となる。このような輝点あるいは黒点は、正常な本来の表示画素のデータとは異なるものが表示されることになるため、欠陥が目立って使用上、大きな支障となる。

【0051】このような画素欠陥を修正するために、従来、たとえば特開昭58-184758号公報では、欠陥のある $TFT110$ のゲート $G$ を走査信号線よりレーザなどを使用して物理的に切り離すとともに、ソース $S$ とドレイン $D$ を短絡させるようにした技術が提案されている。こうすることで、垂直期間中の画像信号の平均的な電圧が画素電極に印加されることになり、輝点や黒点などに比べて欠陥を目立ちにくくすることができる。そ

して、前記の特開昭58-184758のように、故意にソース $S$ とドレイン $D$ を短絡させた画素や製造の際にソース $S$ とドレイン $D$ が短絡してしまった画素の欠陥をより目立たなくするための駆動方法として、たとえば特開平6-138439号が提示されている。特開平6-138439号公報では、垂直帰線期間中において、欠陥画素の電極に印加される電圧を補正するための補正用映像信号をデータ駆動器102に与えるようにした技術が提案されている。

10 【0052】

【発明が解決しようとする課題】しかしながら、上記の公報に開示されている従来技術は、垂直期間 $T_v$ 中の画像表示期間 $T_w$ の内外に係わらずにサンプリング動作を継続している液晶表示装置を前提としたものであり、本発明者らが提供したような前述の(1)、(2)の装置、すなわち、垂直期間 $T_v$ 中の画像表示期間以外の期間( $= T_v - T_w$ )にはデータ駆動器102のサンプリング動作を停止させるようにした装置においては、垂直期間 $T_v$ 中の画像表示期間 $T_w$ 以外の期間に補正用のデータをデータ駆動器102に与えても、データ駆動器102はサンプリング動作をしていないから、何の効果も得られない。

20 【0053】

つまり、垂直期間 $T_v$ 中の画像表示期間 $T_w$ 以外の期間にはデータ駆動器102のサンプリング動作を停止させる装置では、サンプリングホールド回路 $122_{11} \sim 122_{n3}$ からは、画像表示期間 $T_w$ の最後の水平期間 $T_h = H(m)$ にサンプリングされたデータが、次の垂直期間 $T_v$ 中の画像表示期間 $T_w$ の最初の水平期間 $T_h = H(1)$ でデータが更新されるまでは同じ内容で出力され続ける。このため、 $TFT110$ に欠陥が生じて、たとえばソースドレイン間が短絡して常時導通状態になっているような場合には、垂直期間 $T_v$ 中の画像表示期間 $T_w$ 以外の期間において、その欠陥画素に対して、垂直期間 $T_v$ 中の画像表示期間 $T_w$ の最後の水平期間 $T_h = H(m)$ にサンプリングされたデータに応じた電圧が印加されることになるため、欠陥画素が目立ったり、目立たなかったりすることになる。

30 【0054】

本発明は、垂直期間中の画像表示期間以外の少なくとも一部の期間は、データ駆動器を構成する全てのチップのサンプリング動作を停止させるようにして、無駄な電力消費を低減した装置において、欠陥画素を確実に目立たなくし、表示品位を向上させることを解決すべき課題とする。

40 【0055】

【課題を解決するための手段】本発明は、上記の課題を解決するため、液晶表示パネルを駆動するゲート駆動器とデータ駆動器とを備えた液晶表示装置において、次の構成を採用した。

50 【0056】

すなわち、請求項1記載に係る液晶表示装置では、垂直期間中の画像表示期間以外の一部の期間に

は、特定のデータを前記データ駆動器に与えるとともに、データ駆動器によってこの特定のデータのサンプリング動作を行い、画像表示期間以外の他の期間の大部分は、データ駆動器のサンプリング動作を停止するようにしている。

【0057】請求項2記載に係る液晶表示装置では、請求項1記載の構成において、垂直期間中の画像表示期間以外の一部の期間は、画像表示期間外の最初の水平期間であるようにしている。

【0058】請求項3記載に係る液晶表示装置では、請求項1または2記載の構成において、垂直期間中の画像表示期間以外の一部の期間には、前記データ駆動器の画像データのサンプリング開始用のデータスタートパルスが、このデータ駆動器に入力されるのを許容する第1許容手段を設けている。

【0059】請求項4記載に係る液晶表示装置では、請求項1または2記載の構成において、垂直期間中の画像表示期間以外の一部の期間には、前記データ駆動器の画像データのサンプリング用のデータクロックが、このデータ駆動器に入力されるのを許容する第2許容手段を設けている。

【0060】請求項5記載に係る液晶表示装置では、請求項3記載の第1許容手段と、請求項4記載の第2許容手段とを共に備えている。

【0061】上記構成において、液晶表示パネルに欠陥画素がある場合でも、垂直期間中の画像表示期間以外のある一定期間に、欠陥修正用の特定のデータをデータ駆動器に入力するとともに、その特定のデータをサンプリングすれば、そのサンプリングされた特定のデータは、次の垂直期間中の画像表示期間になるまでは同じ内容で出力され続ける。そして、欠陥画素に対して、欠陥修正用の特定のデータに基づく電圧が印加されるために、欠陥画素による輝点や黒点が目立ち難くなる。しかも、データ駆動器は、垂直期間中の画像表示期間以外の大部分ではサンプリング動作を行わずに待機状態となるので、無駄な電力消費を無くすることができる。

【0062】

【発明の実施の形態】

#### 実施形態1

図1は、本発明の実施形態1に係る液晶表示装置の垂直同期信号Vsyncを基準とした動作を示すタイミングチャートである。また、図2および図3は水平同期信号Hsyncを基準とした動作を示すタイミングチャートである。

【0063】図25ないし図27に示したタイミングチャートとの相違点は、垂直期間Tv中の画像表示期間Tw外の最初の水平期間Thにおいて、データ駆動器102に欠陥修正用のデータ、およびデータスタートパルスDSPを入力して、画像表示期間Tw外で1回分だけ欠陥修正用のデータのサンプリングを行っていることである。

【0064】つまり、画像表示期間Twの最後の行であるm行目の画像データがデータ駆動器102に送信される水平期間Th=H(m)が終わってから、1回だけ余分にデータスタートパルスDSPを入力して、1水平期間Thにわたって欠陥修正用のデータをサンプリングしている。

【0065】その後は、次の画像表示期間Twの1行目の画像データが送信される水平期間Th=H(1)になるまでは、シフトレジスタ120にデータスタートパルスDSPを入力せず、最初の水平期間Th=H(1)になって始めて、シフトレジスタ120にデータスタートパルスDSPを入力している。

【0066】そして、データ駆動器102からは、最後にサンプリングされた欠陥修正用のデータに対応した電圧が、次の画像表示期間Twの最初の水平期間Th=H(1)まで出力され続けることになる。ただし、この電圧の正負の極性は、表示制御回路103からの極性信号POLによって1水平期間Thごとに反転して交流駆動されている。

【0067】ここで、液晶表示パネル100は、一般に透過率が高いものよりも、低いものの方が欠陥画素として目立ちにくい傾向にあるため、欠陥修正用のデータとしては、できるだけ黒点に近い色として表示されるようにその内容を設定するのが好ましい。(そうすることで表示の際には、黒点ではなく、黒の方に近い中間色となり、欠陥画素が目立ちにくくなる。)たとえば、液晶表示パネル100がノーマリホワイトモードのものでは、液晶に印加される電圧が高いほど光の透過率が低くなるので、欠陥画素の電極には高い電圧(図30ではたとえば5V程度)が印加されるようにデータ内容を設定する。また、ノーマリブラックモードのものでは、液晶に印加される電圧が低いほど光の透過率が低くなるので、欠陥画素の電極には低い電圧(図30ではたとえば0.5V程度)が印加されるようにデータ内容を設定する。そして、本例では、このような欠陥修正用のデータは、表示制御回路103の内部で予め形成されてデータ駆動器102に与えている。

【0068】ここで、ある画素を構成するTFT110に欠陥が生じてたとえばソースドレイン間が短絡して常時導通状態になっているような場合を考えると、その欠陥画素には、1垂直期間Tvにおいて、画像表示期間Twにデータ駆動器102でサンプリングされるデータに基づく電圧と、画像表示期間Tw外にデータ駆動器102でサンプリングされるデータに基づく電圧との平均値が印加されているとみなすことができる。そして、垂直期間Tv中の画像表示期間Twでは画像表示のためのデータに基づく電圧がサンプリングされるために、そのデータを任意に変更することはできないが、画像表示期間Tw以外の期間(=Tv-Tw)にデータ駆動器102でサンプリングされる電圧は画像表示として直接に寄与するもの



ではないので、任意に変更可能である。

【0069】そこで、上述のように画像表示期間 $T_w$ 外のある一定期間にデータ駆動器102で適当な欠陥修正用のデータをサンプリングさせると、そのときの電圧がそのサンプリング後に出力され続けることになるので、欠陥画素に対する1垂直期間 $T_v$ でみたときの電圧の平均値としては、例えば透過率をやや低いものとしてでき、欠陥画素の存在を目立たなくすることが可能となる。

【0070】しかも、データ駆動器102は、画像表示期間 $T_w$ の経過後のわずかな期間(本例では1水平期間 $T_h$ 分)だけ多くサンプリング動作するだけであるから、無駄な消費電力もほとんど多くならないことになる。

【0071】垂直期間 $T_v$ 中の画像表示期間 $T_w$ 外の最初の水平期間 $T_h$ において、データ駆動器102に欠陥修正用のデータ、およびデータスタートパルスDSPを入力するための、第1許可手段Aの具体的な構成を図4のブロック図に、その動作を図5ないし図8のタイミングチャートにそれぞれ示す。

【0072】第1の計数器201は、水平同期信号Hsyncの立ち下がりでリセットし、新たにカウントを開始する。このカウントは、クロックCKの立ち上がりごとに行われ、その結果は、出力端子 $C_0 \sim C_7$ から2進数の信号としてパルス出力される(なお、図5では、紙面の都合上、 $C_0 \sim C_7$ の出力のみ示し、 $C_3 \sim C_7$ の出力は省略している)。

【0073】ここで、予め第1の比較器301に対して、水平同期信号Hsyncの立ち下がりからデータスタートパルスDSPの入力までの経過時間Ta(図2および図3参照)を考慮した設定値を2進数の信号 $H_0 \sim H_7$ として入力しておき、第1の計数器201からの出力と設定値とが一致したときに、第1の比較器301の出力端子OUTからパルスが出力される。

【0074】第1のフリップフロップ221は、クロックCKをインバータ212でレベル反転させて得られる信号の立ち上がりのタイミングに応じて第1の比較器301の出力をラッチする。そして、第1の比較器301からパルスが出力されるときに第1のフリップフロップ221でラッチして出力されるものがデータスタートパルスDSPとなる。

【0075】また、第2の計数器202は、垂直同期信号Vsyncの立ち上がりでリセットし、新たにカウントを開始する。このカウントは、水平同期信号Hsyncの立ち下がりごとに行われ、その結果は、出力端子 $C_0 \sim C_7$ から2進数の信号としてパルス出力される(なお、図6では、紙面の都合上、 $C_0 \sim C_7$ の出力のみ示し、 $C_3 \sim C_7$ の出力は省略している)。

【0076】ここで、第2の比較器302に対して、予め垂直同期信号Vsyncの立ち上がりから垂直期間 $T_v$ 中の画像表示期間 $T_w$ のゲートスタートパルスGSPの入

力までの経過時間Tb(図1参照)を考慮した設定値を2進数の信号 $V_0 \sim V_7$ として入力しておき、第2の計数器202からの出力と設定値とが一致したときに、第2の比較器302の出力端子OUTからパルスが出力される。

【0077】第2のフリップフロップ222は、水平同期信号Hsyncをインバータ213でレベル反転した信号の立ち上がりごとに第2の比較器302の出力をラッチする。

【0078】第2のフリップフロップ222は、次の必要性から設けられている。

【0079】前述のように、ある水平期間 $T_h = H(i)$ にサンプリングされたデータは、次の水平期間 $T_h = H(i+1)$ にゲート駆動器101でi行目が指定されて、データ駆動器102から一斉出力される。この点を考慮して、ゲート駆動器101から第1行目のハイレベルのゲート電圧が出力されるタイミングよりも1水平期間 $T_h$ 前から後述の第4フリップフロップ224の出力をハイレベルにして第2のアンドゲート232を開くようにするためである。

【0080】第3のフリップフロップ223は、第1の計数器201の上位側の $C_6$ の出力端子からの出力信号と、 $C_7$ の出力端子からの出力信号をインバータ211で反転した信号とを第1のアンドゲート231を通して生成されたクロックの立ち上がりで、第2フリップフロップ222の出力をラッチする。そして、第2の比較器222からパルスが出力されるときに第3のフリップフロップ223でラッチし出力されるものがゲートスタートパルスGSPとなる。

【0081】第3の計数器203は、第2のフリップフロップ222の反転出力の立ち下がりでリセットされてから、新たにカウントを開始する。このカウントは、水平同期信号Hsyncの立ち下がりごとに行われ、その結果は、出力端子 $C_0 \sim C_7$ から2進数の信号としてパルス出力される(なお、図7では、紙面の都合上、 $C_0 \sim C_7$ の出力のみ示し、 $C_3 \sim C_7$ の出力は省略している)。

【0082】ここで、復号器303は、第3の計数器203からの出力が予め垂直期間 $T_v$ 中の画像表示期間 $T_w$ に対応させて設定した所定の値に達したときのみ、その出力端子OUTからパルスを出力する。

【0083】そして、復号器303の出力がインバータ214でレベル反転され、その出力の立ち下がりにより第4のフリップフロップ224がリセットされる。また、この第4のフリップフロップ224は、第2のフリップフロップ222の反転出力の立ち下がりでセットされる。よって、この第4のフリップフロップ224の出力は、垂直期間 $T_v$ 中の画像表示期間 $T_w$ に相当する期間だけハイレベルとなる。

【0084】第5のフリップフロップ225は、画像表示期間 $T_w$ に相当する期間をさらに1水平期間 $T_h$ だけ

遅延させるために設けられたもので、水平同期信号Hsyncをインバータ213でレベル反転した信号の立ち上がりごとに第4のフリップフロップ224の出力をラッチする。よって、この第5フリップフロップ225の出力は、垂直期間Tv中の画像表示期間Twにおける最初の水平期間を除いた残りの期間、および画像表示期間Tw経過後の最初の水平期間Thに相当する期間にハイレベルとなる(図7および図8参照)。

【0085】第4、第5のフリップフロップ224、225の出力を共に、オアゲート241に入力し、さらにその出力を第2のアンドゲート232の一方の入力端に加えるため、アンドゲート232は、垂直期間Tv中のTw+Thに相当する期間だけデータスタートパルスDSPの通過を許可し、それ以外の期間ではデータスタートパルスDSPの通過を阻止する。よって、画像表示期間Tw外の期間(=Tv-Tw)においては、最初の水平期間ThにだけデータスタートパルスDSPが入力される。

【0086】また、第3のアンドゲート233は、第4、第5フリップフロップ224、225の出力(ただし、224の出力は反転出力)を共に入力することにより、垂直期間Tv中の画像表示期間Twが経過した後の1水平期間Thに相当する期間だけハイレベルの信号を出力する(図8参照)。そして、この第3のアンドゲート233の出力がデータセクタ401に加わる。

【0087】データセクタ401は、第3のアンドゲート233からの信号がローレベルのときには、一方の端子Aに加わる画像表示用のデータを選択し、その信号がハイレベルのときには欠陥修正用のデータが加わる他方の端子Bを選択する。よって、画像表示期間Twでは、画像表示用のデータがデータ駆動器102に入力され、画像表示期間Tw外の期間(=Tv-Tw)の最初の水平期間Thに欠陥修正用のデータがデータ駆動器102に入力されることになる。

【0088】なお、この第1許容手段Aはデータ駆動器102の内外のいずれに備えても構わない。

#### 【0089】実施形態2

図9および図10は、本発明の実施形態2に係る液晶表示装置の水平同期信号Hsyncを基準とした動作を示すタイミングチャートである。

【0090】図28および図29に示したタイミングチャートとの相違点は、垂直期間Tv中の画像表示期間Tw外の最初の水平期間Thにおいて、データ駆動器102に欠陥修正用のデータ、および画像データのサンプリング用のデータクロックDCKを入力して、画像表示期間Tw外で1回分だけ欠陥修正用のデータのサンプリングを行っていることである。

【0091】つまり、画像表示期間Twの最後の行であるm行目の画像データがデータ駆動器102に送信される水平期間Th=H(m)の終了後の最初の水平期間Th中に、データクロックDCKを入力して、欠陥修正用のデ

ータをサンプリングしている。なお、欠陥修正用のデータは、実施形態1で述べたような内容のものである。

【0092】その後は、次の画像表示期間Twの1行目の画像データが送信される水平期間Th=H(1)になるまでは、シフトレジスタ120にデータクロックDCKを入力せず、最初の水平期間Th=H(1)になって始めてシフトレジスタ120にデータクロックDCKを入力している。

【0093】この場合も、実施形態1と同様に、データ駆動器102からは、最後にサンプリングされた欠陥修正用のデータに対応した電圧が、次の画像表示期間Twの最初の水平期間Th=H(1)まで出力され続けることになる。ただし、この電圧の正負の極性は、表示制御回路103からの極性信号POLによって1水平期間Thごとに反転して交流駆動されている。

【0094】この実施形態2においても、欠陥画素に対する1垂直期間Tvでみたときの電圧の平均値としては、例えば透過率をやや低いものとすることができ、欠陥画素の存在を目立たなくすることが可能となる。

【0095】しかも、データ駆動器102は、画像表示期間Twの経過後のわずかな期間(本例では1水平期間Th分)だけ多くサンプリング動作するだけであるから、無駄な消費電力もほとんど多くならないことになる。

【0096】垂直期間Tv中の画像表示期間Tw外の最初の水平期間Thにおいて、データ駆動器102に欠陥修正用のデータ、およびデータクロックDCKを入力するための、第2許容手段Bの具体的な構成を図11のブロック図に、その動作を図12のタイミングチャートに示す。

【0097】実施形態1の図4に示した構成においては、第2アンドゲート232によってデータスタートパルスDSPの出力を制限したが、この実施形態2では、第4アンドゲート234によってデータクロックDCKの出力を制限している。

【0098】すなわち、本例の場合は、この第4アンドゲート234によって、垂直期間Tv中の画像表示期間Tw、およびその期間Tw経過後の1水平期間Thに相当する期間(=Tw+Th)だけデータクロックDCKの通過が許容され、それ以外の期間ではデータクロックDCKの通過を阻止する(図12参照)。

【0099】その他の構成は、実施形態1の場合と同様であるから、図4に対応する部分には同一の符号を付して説明を省略する。

【0100】なお、この第2許容手段Bはデータ駆動器102の内外のいずれに備えても構わない。

#### 【0101】変形例

(1) 図4に示した第1許容手段Aの変形例として、図13に示すように第1許容手段A'を構成することもできる。

【0102】この図13に示す構成においては、図4に

示した第3計数器203、複合器303、第5フリップフロップ225、および第3のアンドゲート233を省略し、ゲート駆動器101で、最後のm行まで指定されたときに出力されるパルスGSP0(ただし、このパルスGSP0は1水平期間分Thに相当するパルス幅を有する)を利用して、このパルスGSP0をインバータ214を介して第4フリップフロップ224に入力している。

【0103】よって、この第4フリップフロップ224からは、垂直期間Tv中の画像表示期間Twに相当する期間だけハイレベルとなる信号が出力され、これがオアゲート241に与えられる。また、上記のパルスGSP0はインバータ214、215を介して同じくオアゲート241に与えられるため、結果的に、オアゲート241からは、垂直期間Tv中のTw+Thに相当する期間だけデータスタートパルスDSPの通過を許可する信号が出力され、この信号が第2アンドゲート232に与えられることによって、データスタートパルスDSPの出力期間が制限されることになる。また、上記のパルスGSP0はインバータ214、215を介してデータセクタ401にも与えられるので、画像表示期間Tw外の期間(=Tv-Tw)の最初の水平期間Thに欠陥修正用のデータがデータ駆動器102に入力されることになる。

【0104】(2) 図11に示した第2許容手段Bの変形例として、図15に示すように第2許容手段B'を構成することもできる。

【0105】この図15に示す構成においては、図11に示した第3計数器203、複合器303、第5フリップフロップ225、および第3のアンドゲート233を省略し、ゲート駆動器101で、最後のm行まで指定されたときに出力されるパルスGSP0(ただし、このパルスGSP0は1水平期間分Thに相当するパルス幅を有する)を利用して、このパルスGSP0をインバータ214を介して第4フリップフロップ224に入力している。

【0106】よって、この第4フリップフロップ224からは、垂直期間Tv中の画像表示期間Twに相当する期間だけハイレベルとなる信号が出力され、これがオアゲート241に与えられる。また、上記のパルスGSP0はインバータ214、215を介して同じくオアゲート241に与えられるため、結果的に、オアゲート241からは、垂直期間Tv中のTw+Thに相当する期間だけデータクロックDCKの通過を許可する信号が出力され、この信号が第2アンドゲート234に与えられることによって、データクロックDCKの出力期間が制限されることになる。また、上記のパルスGSP0はインバータ214、215を介してデータセクタ401にも与えられるので、画像表示期間Tw外の期間(=Tv-Tw)の最初の水平期間Thに欠陥修正用のデータがデータ駆動器102に入力されることになる。

【0107】(3) 本発明の課題を解決するには、上記の2つの実施形態1、2を組み合わせた構成とすることも可能である。

【0108】(4) 欠陥修正用のデータをサンプリングするのは、本例のような垂直期間Tv中の画像表示期間Tw外の最初の水平期間Thに限定されるものではなく、2番目の水平期間や3番目の水平期間のように、画像表示期間Twの終了後の比較的早期の期間であれば欠陥画素を目立たなくすることができる。さらに、サンプリングする回数を1水平期間Thだけでなく、数回の水平期間Thにサンプリングを行っても、本質的には本発明に含まれることは明らかである。そのときのデータスタートパルスDSPやデータクロックDCKの許容手段は前述に示したものを多少変更することなどで実現できる。

【0109】また、垂直期間Tv中の画像表示期間Twの一部もサンプリングしないようにして、前記のような方法で欠陥画素を目立たなくすることも本発明に含まれる。

【0110】(5) 本例では、欠陥修正用のデータは、表示制御回路103の内部で予め形成されてデータ駆動器102に与えられるようにしているが、わざわざ欠陥修正用のデータを専用に作成しなくても、画像信号の垂直期間中の表示期間外の部分のデータが欠陥修正用のデータとしてそのまま使える場合も考えられる。また、欠陥修正用のデータはサンプリングされる期間のみ与えるだけで目的は達成されるが、別にサンプリングされない期間中も与えても別に害にはならない。このようにしても本発明に含まれるのは明らかである。

【0111】

【発明の効果】本発明によれば、次の効果を奏する。

【0112】垂直期間中の画像表示期間以外の一部の期間に、欠陥修正用の特定のデータをデータ駆動器に与えてこの特定のデータのサンプリング動作を行い、画像表示期間以外の他の期間の大部分は、データ駆動器のサンプリング動作を停止するようにしているので、欠陥修正用のデータのサンプリングを行った後は、次の垂直期間中の画像表示期間の最初の水平期間Th=H(1)まで、欠陥画素に対して欠陥修正用の適当なデータがデータ駆動器より出力されることになるため、欠陥画素を目立たなくすることができる。

【0113】しかも、垂直期間中の画像表示期間外においては、欠陥修正用のデータのサンプリング期間は僅かであり、サンプリング後は、次の垂直期間中の画像表示期間になるまでデータ駆動器のサンプリング動作は停止されるから、無駄な電力消費を極力少なくすることができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の実施形態1における垂直同期信号Vsyncを基準とした動作を示すタイミングチャートである。

【図2】本発明の液晶表示装置の実施形態1における水平同期信号Hsyncを基準とした動作を示すタイミングチャートである。

【図3】本発明の液晶表示装置の実施形態1における水平同期信号Hsyncを基準とした動作を図2に継続して示すタイミングチャートである。

【図4】第1許容手段の具体的な構成を示すブロック図である。

【図5】図4の第1許容手段の動作説明に供するタイミングチャートである。

【図6】図4の第1許容手段の動作説明に供するタイミングチャートである。

【図7】図4の第1許容手段の動作説明に供するタイミングチャートである。

【図8】図4の第1許容手段の動作説明に供するタイミングチャートである。

【図9】本発明の液晶表示装置の実施形態2における水平同期信号Hsyncを基準とした動作を示すタイミングチャートである。

【図10】本発明の液晶表示装置の実施形態2における水平同期信号Hsyncを基準とした動作を図9に継続して示すタイミングチャートである。

【図11】第2許容手段の具体的な構成を示すブロック図である。

【図12】図11の第2許容手段の動作説明に供するタイミングチャートである。

【図13】実施形態1の第1許容手段の変形例を示すブロック図である。

【図14】図13の第1許容手段の動作説明に供するタイミングチャートである。

【図15】実施形態2の第2許容手段の変形例を示すブロック図である。

【図16】図15の第2許容手段の動作説明に供するタイミングチャートである。

【図17】液晶表示装置の全体構成を示すブロック図である。

【図18】液晶表示パネル、およびこれを駆動するゲート駆動器とデータ駆動器との配置を示す平面図である。

【図19】TFT型液晶表示素子の等価回路図である。

【図20】ゲート駆動器の全体構成を示すブロック図で\*40

\*ある。

【図21】図20のゲート駆動器を構成するレベル変換回路の回路図である。

【図22】データ駆動器の全体構成を示すブロック図である。

【図23】図22のデータ駆動器を構成するサンプリングホールド回路のブロック図である。

【図24】図23のサンプリングホールド回路を構成する出力回路部の回路図である。

10 【図25】液晶表示装置において、垂直期間中の画像表示期間外はデータ駆動器にデータスタートパルスを入力しないようにした場合の垂直同期信号Vsyncを基準とした動作を示すタイミングチャートである。

【図26】液晶表示装置において、垂直期間中の画像表示期間外はデータ駆動器にデータスタートパルスを入力しないようにした場合の水平同期信号Hsyncを基準とした動作を示すタイミングチャートである。

20 【図27】液晶表示装置において、垂直期間中の画像表示期間外はデータ駆動器にデータスタートパルスを入力しないようにした場合の水平同期信号Hsyncを基準とした動作を図26に継続して示すタイミングチャートである。

【図28】液晶表示装置において、垂直期間中の画像表示期間外はデータ駆動器にデータクロックを入力しないようにした場合の水平同期信号Hsyncを基準とした動作を示すタイミングチャートである。

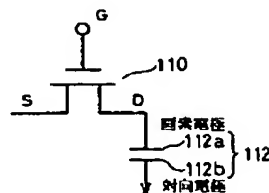
30 【図29】液晶表示装置において、垂直期間中の画像表示期間外はデータ駆動器にデータクロックを入力しないようにした場合の水平同期信号Hsyncを基準とした動作を図28に継続して示すタイミングチャートである。

【図30】液晶表示パネルのノーマリホワイトとノーマリブラックの各タイプにおける透過率と引加電圧(絶対値)との関係を示す特性図である。

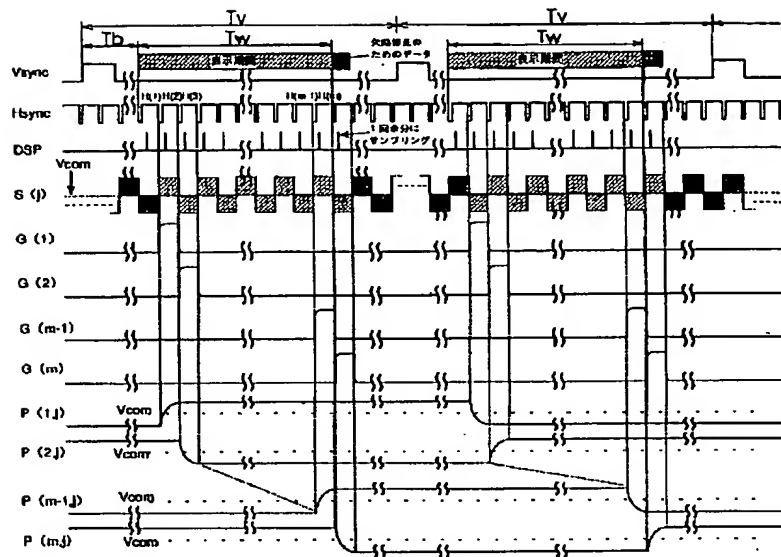
【符号の説明】

100…液晶表示パネル、101…ゲート駆動器、102…データ駆動器、GSP…ゲートスタートパルス、GCK…ゲートクロック、DSP…データスタートパルス、DCK…データクロック、A、A'…第1許容手段、B、B'…第2許容手段。

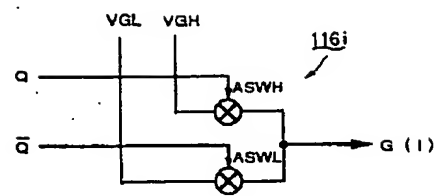
【図19】



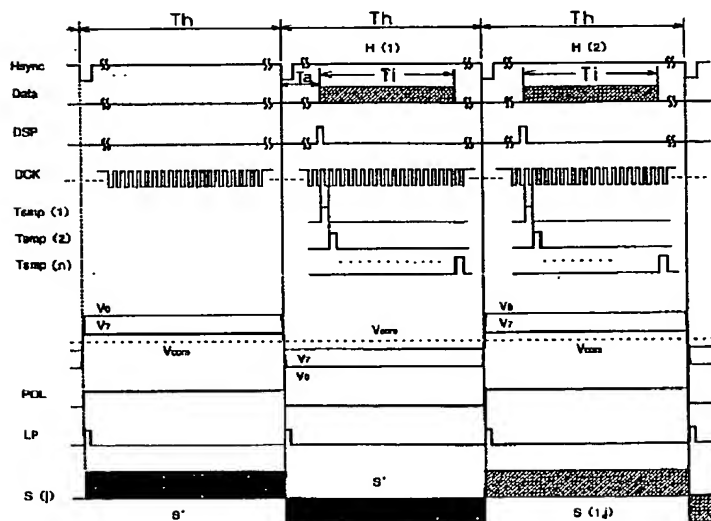
【図1】



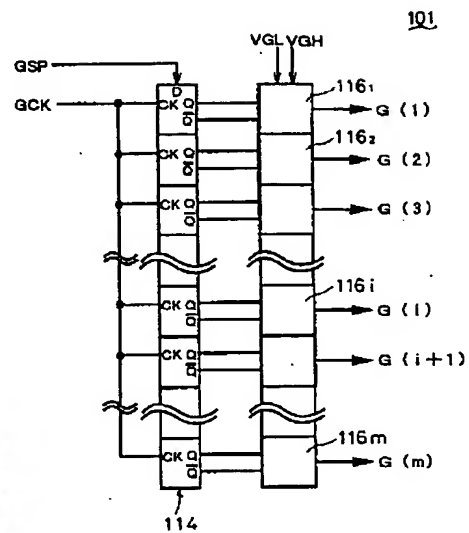
【図21】



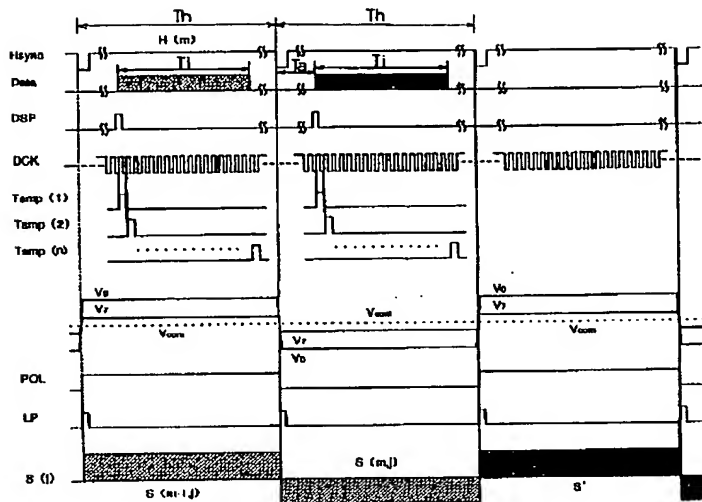
【図2】



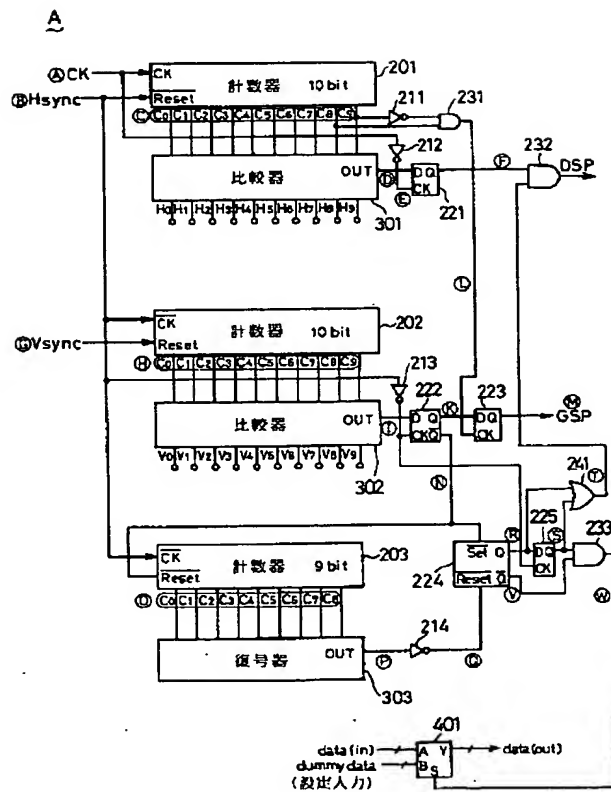
【図20】



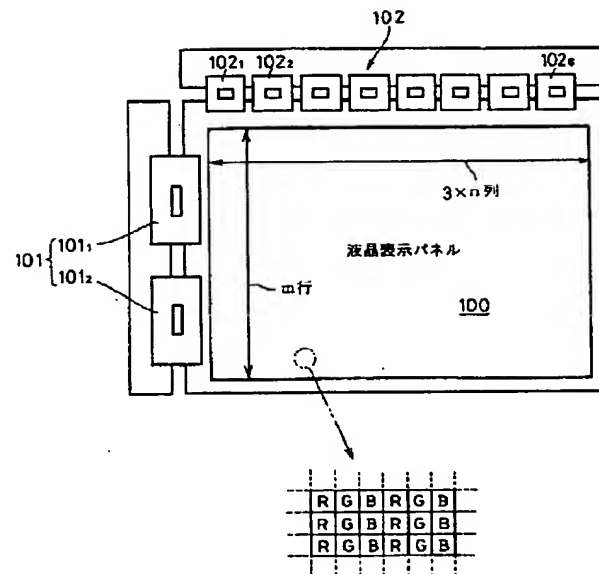
【図3】



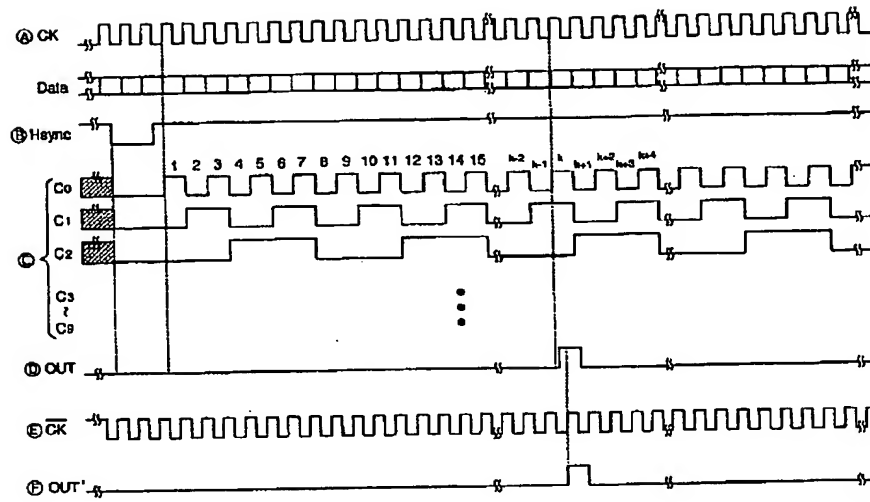
【図4】



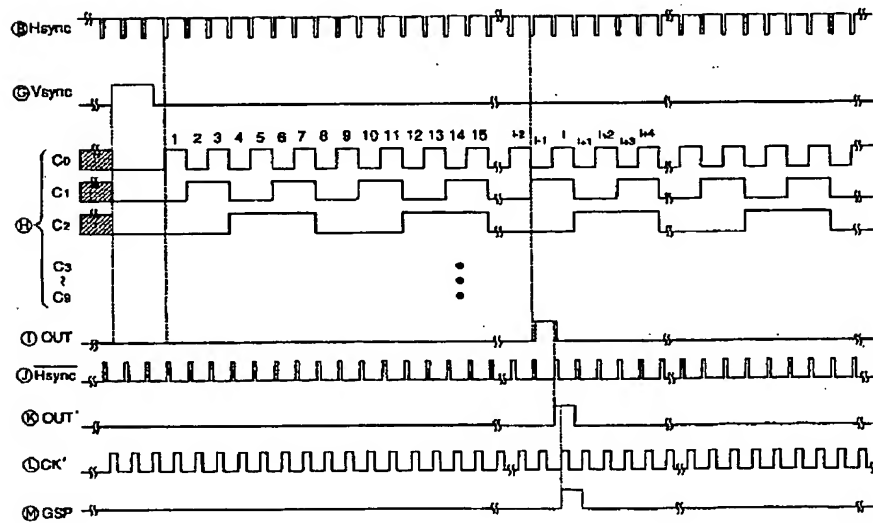
【図18】



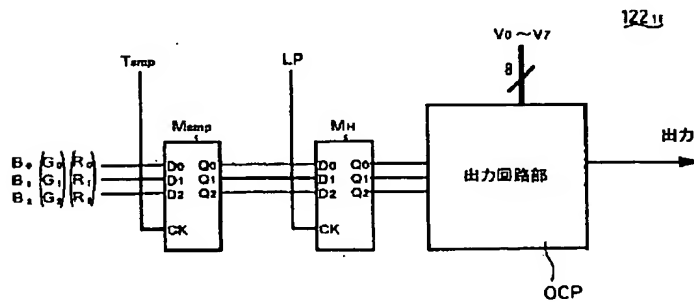
【図 5】



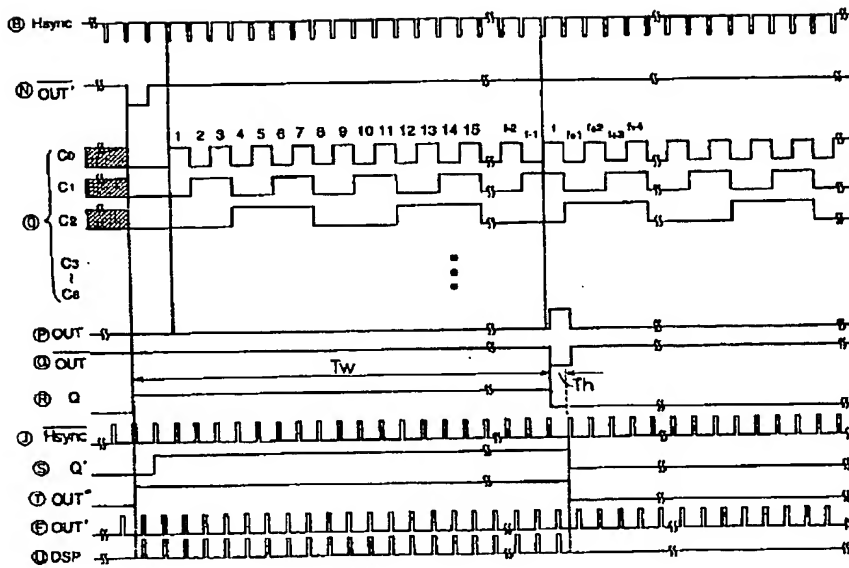
【図 6】



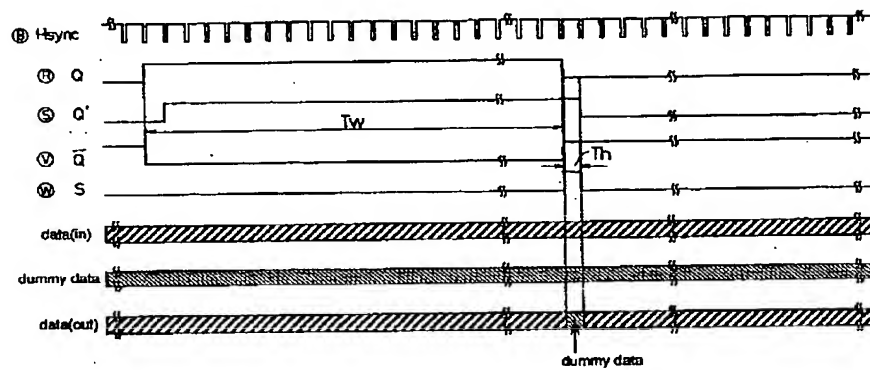
【図 23】



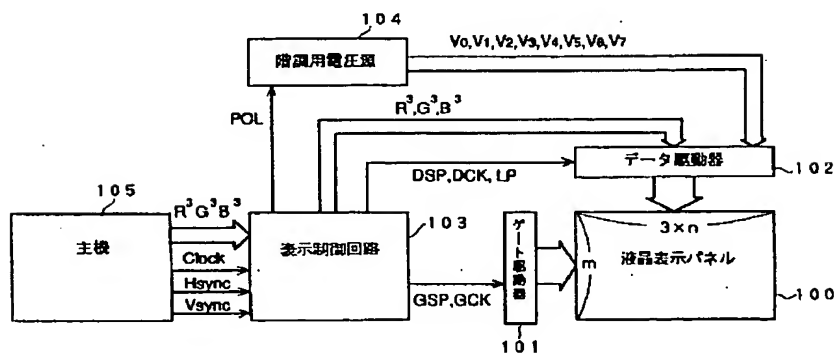
【図7】



【図8】

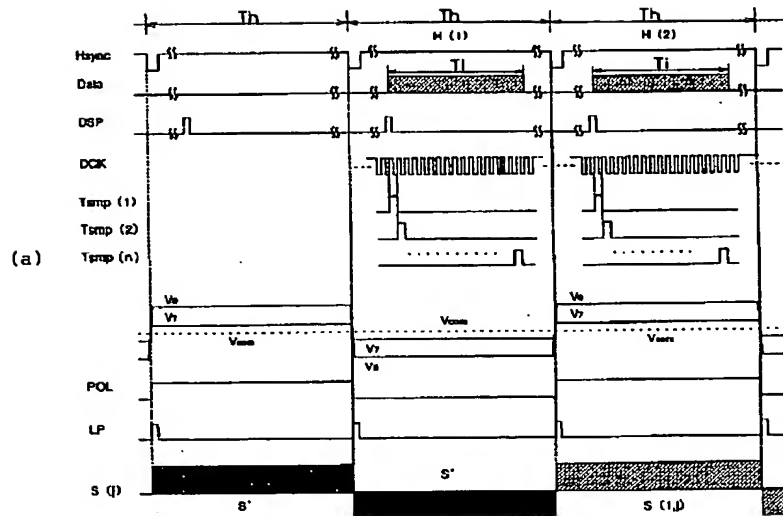


【図17】

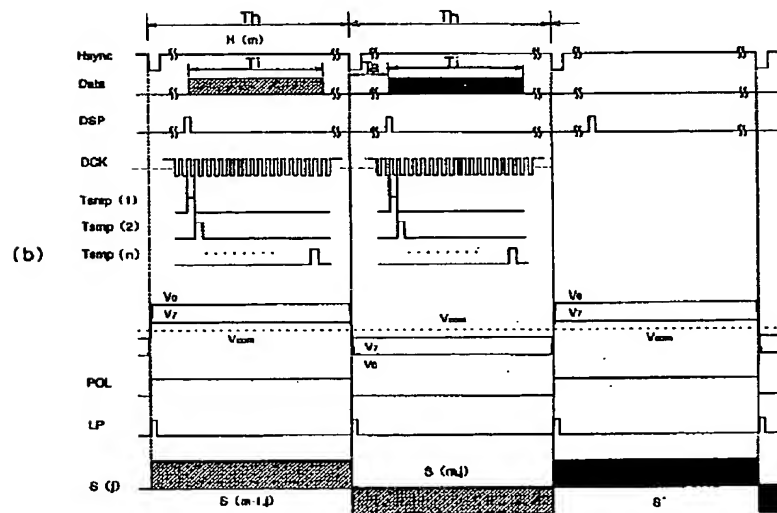




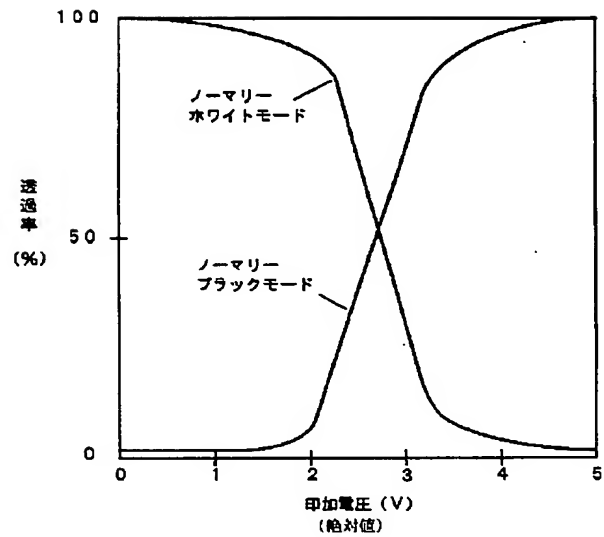
【図9】



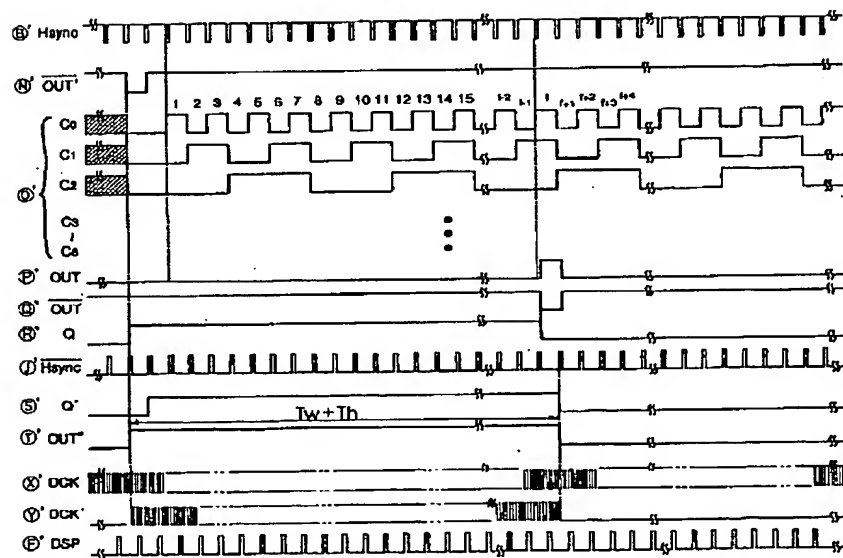
【図10】



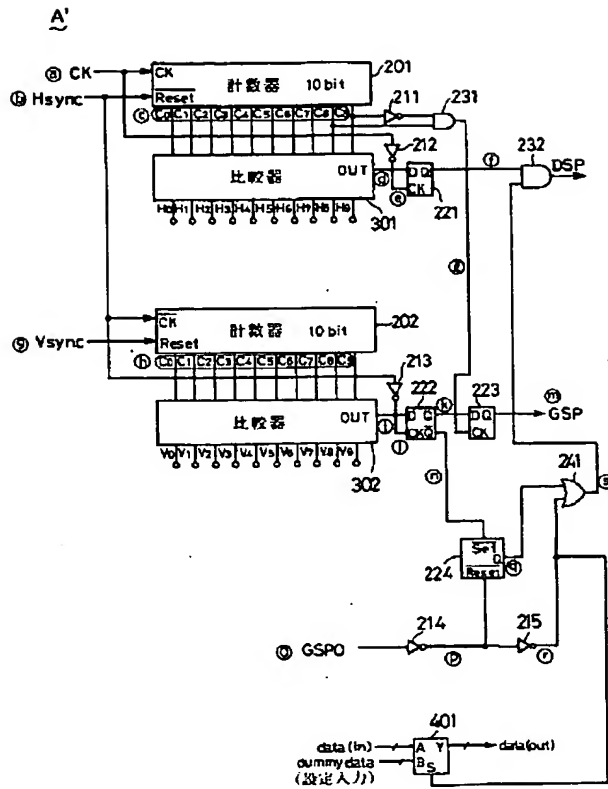
【圖 30】



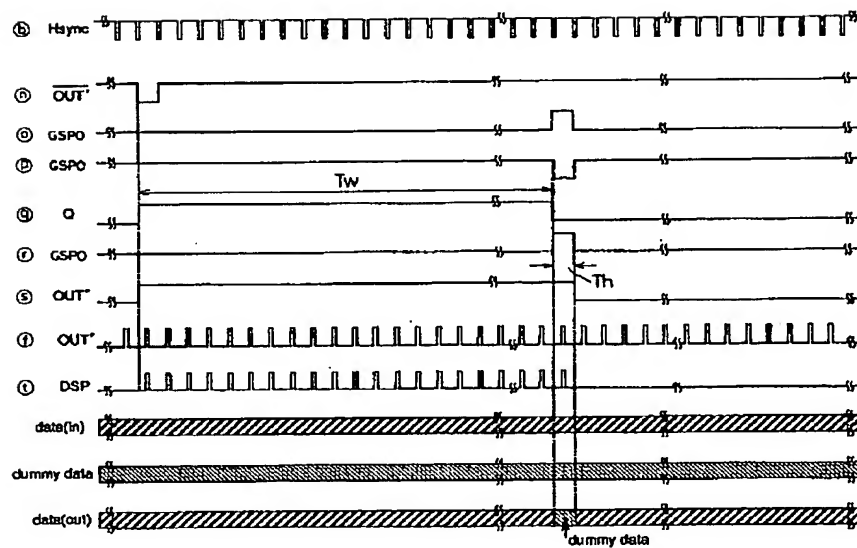
【圖 12】



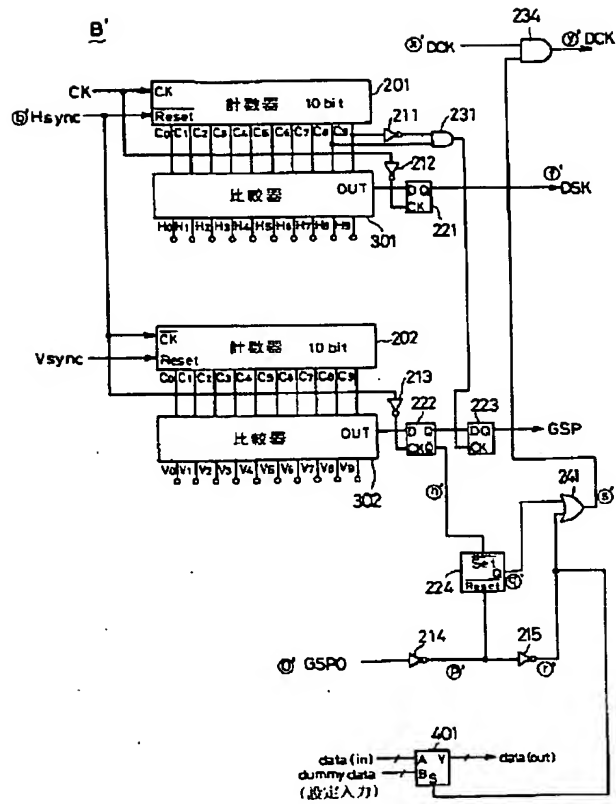
【図13】



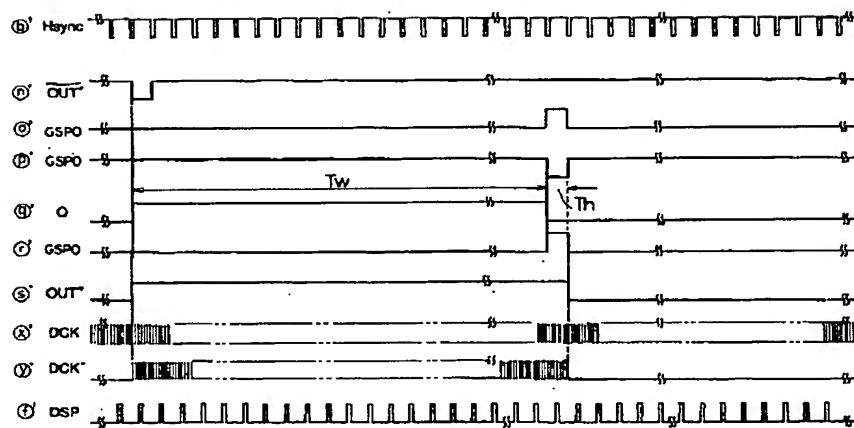
【図14】



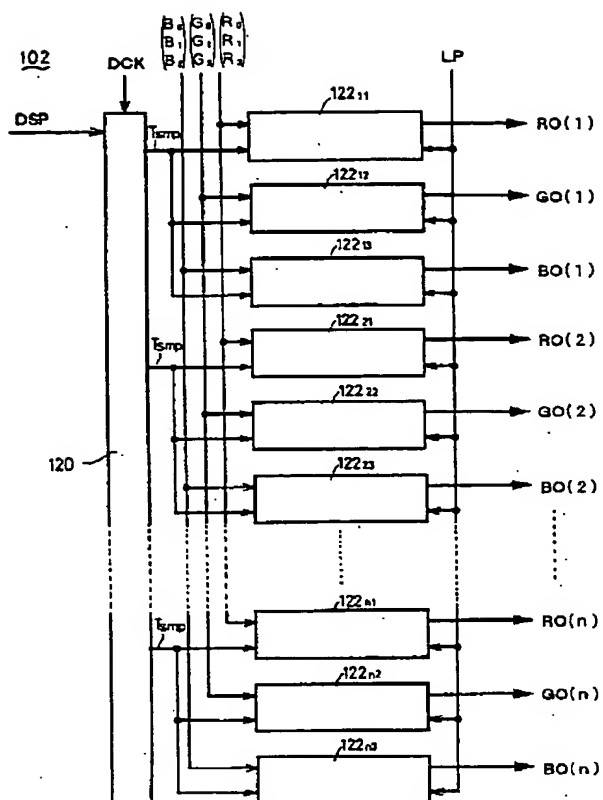
【図15】



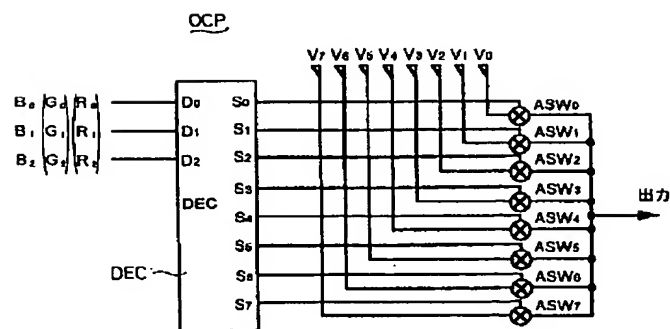
【図16】



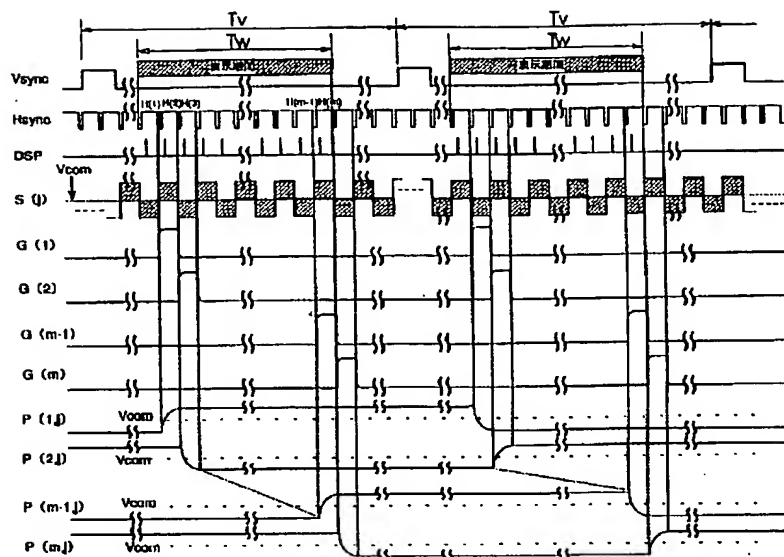
【図22】



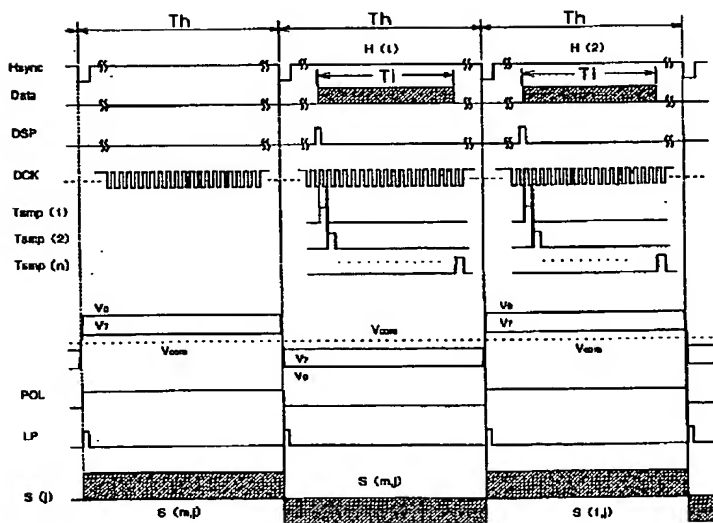
【図24】



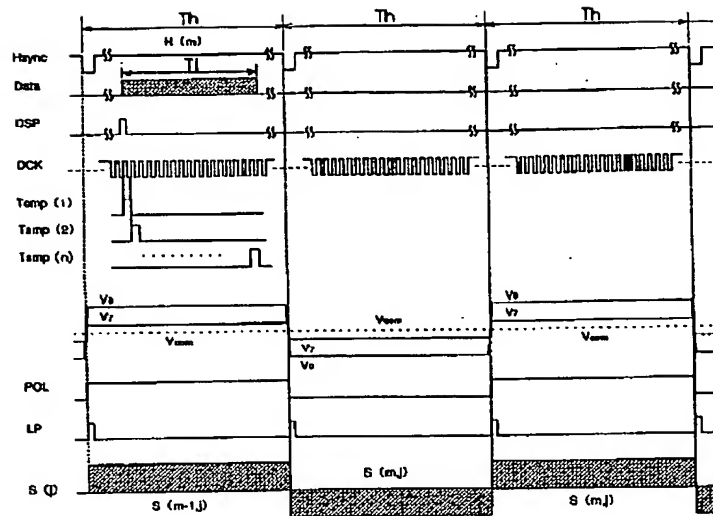
【図25】



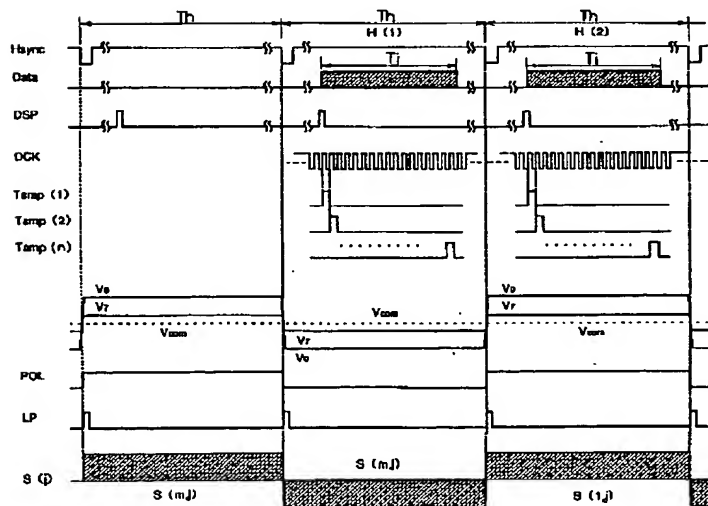
【図26】



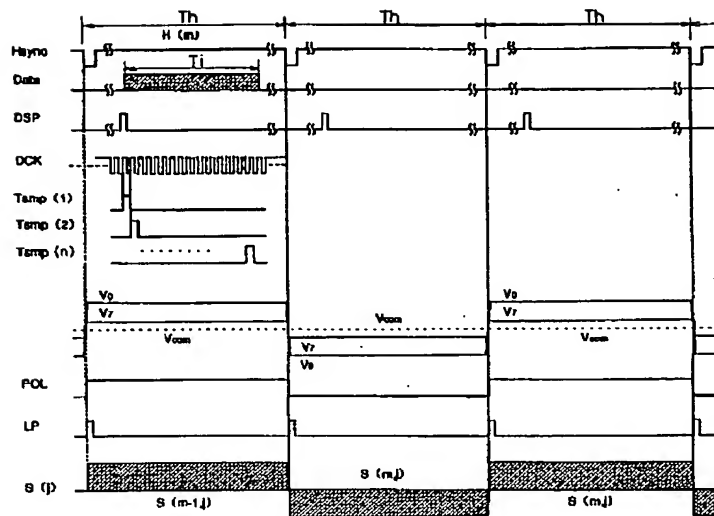
【図27】



【図28】



【図29】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**